

- For more records, click the Records link at page end.
- To change the format of selected records, select format and click **Display Selected**.
- To print/save clean copies of selected records from browser click **Print/Save Selected**.
- To have records sent as hardcopy or via email, click **Send Results**.

☒ **Select All**☐ **Clear Selections****Print/Save Selected****Send Results****Display Selected****Format**

Full

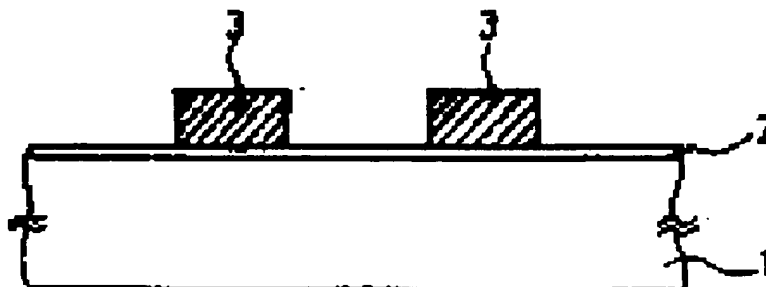
1. ☐ 1/19/1

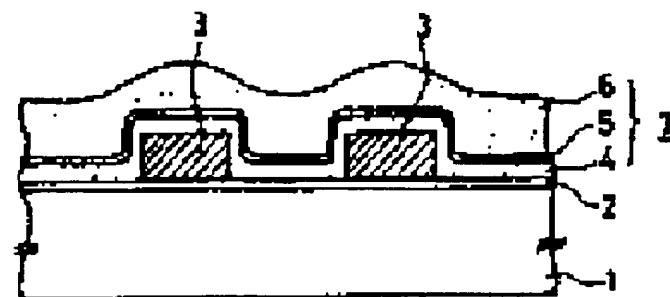
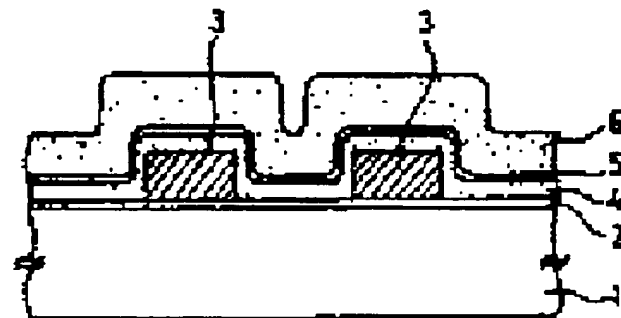
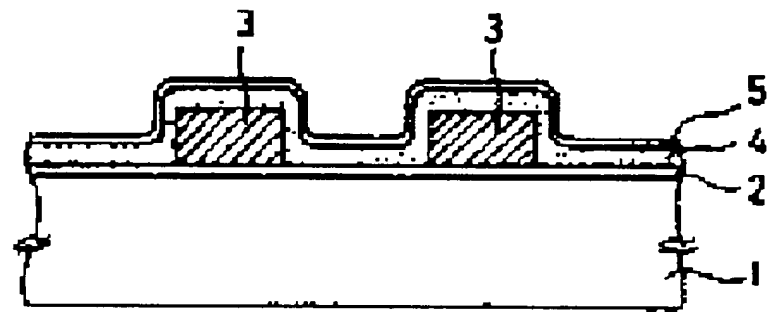
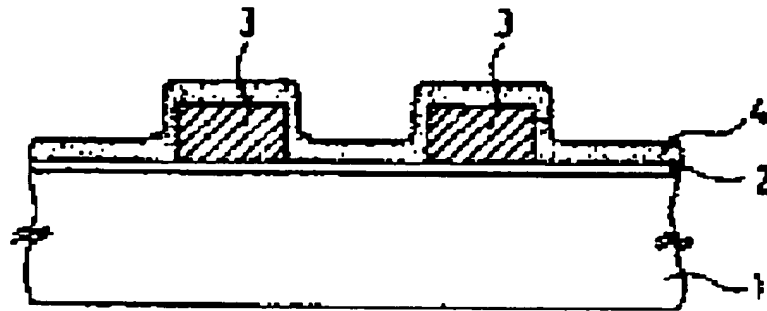
02749455 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE**Pub. No.:** 01-047055 [JP 1047055 A]**Published:** February 21, 1989 (19890221)**Inventor:** HORII TADASHI**Applicant:** SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (**Application No.:** 62-204354 [JP 87204354]**Filed:** August 18, 1987 (19870818)**INTL CLASS:** International Class: 4] H01L-021/90; H01L-021/95**JAPIO Class:** 42.2 (ELECTRONICS -- Solid State Components)**Journal:** Section: E, Section No. 769, Vol. 13, No. 246, Pg. 55, June 08, 1989 (19890608)**ABSTRACT**

PURPOSE: To prevent a conductive layer from decreasing in dimension and increasing in resistance wherein a silicate glass layer is applied to the conductive layer face provided onto one face of a semiconductor and the coated layer is subjected to a heat treatment in an oxidizing atmosphere to make its face flat; an oxynitride layer is interposed between the silicate glass and the conductive layer.

CONSTITUTION: A superficial insulating film 2 is provided onto the surface of a semiconductor. Conductive layers 3 and 3 are selectively formed. A silicon oxide layer 4 is built on the semiconductor including the conductive layers 3 and 3. A silicon oxynitride layer 5 is formed in film covering the silicon oxide layer 4. A silicate glass layer 6 is formed covering the surface of the silicon oxynitride layer 5. A laminated body of the silicon oxide layer 4, the silicon oxynitride layer 5, and the silicate glass oxide 6 which covers the conductive layers 3 is subjected to a heat treatment in the oxidizing atmosphere of O(sub 2) gas alone or O(sub 2) gas and thereby the silicate glass layer 6 is made to be fluidized to flow, so that the large steps on the surface of the silicate glass layer 6 be leveled to be flat.





JAPIO (Dialog® File 347): (c) 1999 JPO & JAPIO. All rights reserved.

⑫ 公開特許公報(A)

昭64-47055

⑤ Int.Cl.⁴H 01 L 21/90
21/95

識別記号

庁内整理番号

R-6708-5F
6708-5F

④ 公開 昭和64年(1989)2月21日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭62-204354

⑱ 出 願 昭62(1987)8月18日

⑫ 発 明 者 堀 井 忠 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑪ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑭ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板の一表面に配置された導電層の表面をシリケートガラス層で覆い、当該シリケートガラス層に対し酸化性雰囲気中で熱処理を施して表面を平坦化する工程を含み、上記シリケートガラス層と導電層との間にシリコンオキシナイトライド層を設けたことを特徴とする半導体装置の製造方法。

(2) 上記シリケートガラスはリンシリケートガラスであることを特徴とした特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 上記シリケートガラスはボロンを含むリンシリケートガラスであることを特徴とした特許請求の範囲第1項記載の半導体装置の製造方法。

(4) 上記シリコンオキシナイトライド層の屈折率は約1.67~1.87であることを特徴とした特許請求の範囲第1項乃至第3項何れか記載の半

導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は酸化性雰囲気中で熱処理による表面の平坦化工程を有する半導体装置の製造方法に関する。

(ロ) 従来の技術

半導体装置の高密度化に伴って、その配線構造が一層配線から多層配線へと変化した。多層配線構造を形成するうえの問題点は、一層目の配線と二層目の配線の間に設けられる層間絶縁膜の形成法にある。即ち、一層目の配線の有る部分と無い部分との段差の上に、そのまま層間絶縁膜を成長させると、二層目の配線材料を形成した際に、この段差部で当該二層目の配線が断線する不良が発生する。

従って、層間絶縁膜材料として、良好な絶縁特性のみならず上記段差に鑑み平坦性の良いものが要求される。

日経マイクロデバイス1985年9月号第71

頁乃至第86頁に開示された先行技術によれば、上記層間絶縁膜材料として、リンシリケートガラス(phosphosilicate glass: 以下PSGと略す)やボロンを含むPSG(borophosphosilicate glass: 以下BPSGと略す)を用い、一旦膜被着後リフローさせ、表面の平坦化を行なっている。

第6図及び第7図は斯るPSG、BPSGのリフローによる平坦化を説明する概念図であり、第6図はリフロー前の状態を、また第7図はリフロー後の状態を夫々示している。第6図のリフロー前の状態では、シリコン等の半導体基板(1)の一表面にシリコン酸化膜等の表面絶縁膜(2)を挟んで多結晶シリコン(以下p-Siと略す)、タングステンシリサイド(WSi_2)等の一層目の配線等を司どる導電層(3)(3)が設けられ、これら導電層(3)(3)の表面を含んで半導体基板(1)の一表面上記PSG、BPSG等のシリケートガラスからなる層間絶縁膜(7)が被覆されている。次いで上記層間絶縁膜(7)に対しリフローが施されて、第7図の如く下層の導電層(3)(3)に起因する露出面

の段差が緩和され平坦化される。斯る層間絶縁膜(7)のリフローはその流動性が大きくなる等の理由により、 O_2 ガス単独或いは H_2 ガスとの混合ガスからなる酸化性雰囲気中で約800~1000°C或いはそれ以上の熱処理により行なわれる。

然し乍ら、上述のシリケートガラスからなる層間絶縁膜(7)は酸化性雰囲気中での熱処理によるリフローにより容易に平坦化表面を得ることが出来るものの、斯る酸化性雰囲気中の熱処理により酸素が拡散し下層の導電層(3)(3)表面が酸化され絶縁層(8)(8)を形成するために、導電層(3)(3)の膜厚、膜幅等の寸法減少を招き配線抵抗が増大するという新たな問題点が発生する。

斯る問題点に鑑み本願出願人は、第8図に示す如く酸化性雰囲気中での熱処理によるリフローに先立って、導電層(3)(3)とシリケートガラス層(6)との間にシリコン酸化層(4)を挟んで多結晶シリコン、非晶質シリコン等からなる非単結晶シリコン層(9)を設け、当該非単結晶シリコン層(9)で上記平坦化のための熱処理の際、シリケートガラ

ス層(6)を拡散してくる酸素を酸化により消費し、下層の導電層(3)(3)への到達を阻止する方法を昭和62年8月6日付けで特願昭62-

号として特許出願した。

ところが、上記非単結晶シリコン層(9)は酸素拡散阻止層として有効に作用するものの、斯る非単結晶シリコン層(9)の酸素消費による酸化が膜厚方向の途中で停止し全てがシリコン酸化物に置換されず、一部膜厚方向に非単結晶シリコン層(9)が残存すると、後工程において半導体基板(1)とのコンタクトとを形成すべきリソグラフィの際、異なるエッチャントによるエッチングを複数回施さなければならない。即ち、非単結晶シリコン層(9)の酸化が途中で終了すると、導電層(3)(3)はシリコン酸化層(4)、非単結晶シリコン層(9)、置換によるシリコン酸化層及びシリケートガラス層(6)の4層、ただしエッチャントから見た場合3層の積層体からなる層間絶縁膜となり上記後工程の作業性を低下せしめることになる。従って、非単結晶シリコン層(9)の酸化は下層の

導電層(3)(3)への酸化拡散を阻止しつつ当該非単結晶シリコン層(9)の完全酸化物置換を行なわなければならない、厳しい製造条件が要求される。

(ハ) 発明が解決しようとする問題点

本発明は層間絶縁膜として表面の平坦化が容易なシリケートガラスを単に用いると、下層の導電層表面が酸化され絶縁層を形成し当該導電層の寸法減少による配線抵抗等の増大を招き、また上記導電層表面の酸化を防止すべくシリケートガラスと導電層との間に非単結晶シリコン層を配挿すると厳しい製造条件が要求される点を解決しようとするものである。

(ニ) 問題点を解決するための手段

本発明は上記問題点を解決するために、半導体基板の一表面に配置された導電層の表面をシリケートガラス層で覆い、当該シリケートガラス層に対し酸化性雰囲気中で熱処理を施して表面を平坦化する工程を含み、上記シリケートガラス層と導電層との間にシリコンオキシナイトライド層を設けたことを特徴とする。

(*) 作用

上述の如くシリケートガラス層と導電層との間にシリコンオキシナイトライド層を設けることによって、平坦化のための酸化性雰囲気中での熱処理の際、上記シリコンオキシナイトライド層は下層の導電層への酸素の拡散を阻止する拡散阻止層として作用すると共に、シリケートガラスと共通のエッチャントによりエッチングレートが大きく異ならしめることなくエッチングされる。

(ハ) 実施例

以下本発明半導体装置の製造方法を第1図乃至第5図に示された一実施例に基づき詳述する。

先ず第1図の工程では、導電型決定不純物のドーブ等所定の処理が終了したシリコン等の半導体基板(1)の表面に膜厚数100Åのシリコン酸化膜からなる表面絶縁膜(2)が設けられ、次いで一層目の配線等を司どるp-Si, WSi₂等の導電層(3)(3)が選択的に形成される。

第2図の工程では、上記導電層(3)(3)の表面を含んで半導体基板(1)の一表面にシリコン酸化層

(4)が形成される。斯るシリコン酸化層(4)は周知の減圧CVD法により約800°Cの条件で膜厚2000Å程度堆積せしめられる。

第3図の工程では、シリコン酸化層(4)の表面を覆ってシリコンオキシナイトライド層(5)が膜厚1000~1500Å程度形成される。このシリコンオキシナイトライド層(5)は例えばSiH₄Cl₂+N₂O+NH₃+N₂ガスを出発材料とする基板温度約700°Cの減圧CVD法により得られる。

第4図の工程では、シリコンオキシナイトライド層(5)の表面を覆ってPSG, BPSG等のシリケートガラス層(6)が膜厚約6000~10000Å形成される。斯るシリケートガラス層(6)は、例えばPSGの場合、SiH₄ガス、O₂ガスにPH₃ガスを加えた混合ガスを出発材料とし、基板温度を約450°Cとする常圧CVD法により得られ、またBPSGの場合、上記混合ガスにB₂H₆ガスを加えた出発材料により他は同一条件で得られる。このPSGやBPSGからなるシリケートガラス層(6)は上記常圧CVD法以外の方法で形成され

てもよい。このようにして得られたシリケートガラス層(6)の表面は下層の導電層(3)(3)の存在による影響を顕著に受け大きな段差を持つ。

第5図の工程では、導電層(3)(3)の表面を覆ったシリコン酸化層(4)、シリコンオキシナイトライド層(5)及びシリケートガラス層(6)の積層体が、O₂ガス単独或いはH₂ガスとの混合ガスからなる酸化性雰囲気中にて約800~1000°Cの温度条件で約30分間保持される。斯る熱処理においてシリケートガラス層(6)は流動性を帯てリフローされ、その結果表面の大きな段差は緩和されることとなり表面の平坦化が為される。従って、本発明でいう「平坦化」とは完全な平坦面の形成を意味するのではなく、処理(加工)前の状態に比して平坦面に近づいたことを意味する。

さて、斯る平坦化加工において注目すべきは、リフローされるシリケートガラス層(6)と下層の段差原因となる導電層(3)(3)との間に従来の第8図に示した非単結晶シリコン層(9)に代ってシリコンオキシナイトライド層(5)を設けたところに

ある。即ち、非単結晶シリコン層(9)もシリコンオキシナイトライド層(5)を持たない従来方法にあっては、平坦化加工すべく酸化性雰囲気中で熱処理を施すと、第7図に示した如くシリケートガラスからなる層間絶縁膜(7)中を拡散移動し、p-Si, WSi₂等の導電層(3)(3)表面を酸化し、絶縁体化していた。特に層間絶縁膜(7)がBPSGからなり、酸化性雰囲気がO₂ガスを主体としH₂ガスを若干含んだとき低温リフローが可能となり製造工程上有益である反面、上記H₂ガスによる水素が導電層(3)(3)の酸化に対して触媒的な作用をし大きな酸化を招いていた。

一方、非単結晶シリコン層(9)を配挿した第8図の方法では、上述した如く導電層(3)(3)の表面の酸化を阻止しつつ当該非単結晶シリコン層(9)を完全にシリコン酸化物を置換することは厳格な製造条件の設定を必要とする。

それに対し第5図の本発明実施例にあっては、上記非単結晶シリコン層(9)に代ってシリコンオキシナイトライド層(5)が用いられ、当該シリコ

シリコンオキシナイトライド層(5)は非単結晶シリコン層(9)のように酸素の拡散を、酸化により消費し阻止するのではなく、ナイトライドの含有により拡散障壁して作用しブロックする。そして、斯るシリコンオキシナイトライドはシリコン酸化物と共通のエッチャントで大きくエッチングレートを異ならしめることなくエッチングされる。具体的には、シリケートガラスや SiO_2 のシリコン酸化物の希釈フッ酸(HF)をエッチャントとするエッチングレートは約 $200 \sim 300 \text{ \AA}/\text{min}$ であり、同一条件において屈折率約 $1.67 \sim 1.87$ のシリコンオキシナイトライドのエッチングレートは約 $200 \text{ \AA}/\text{min}$ である。従って、シリコンオキシナイトライド層(5)はシリケートガラス層(6)やシリコン酸化層(4)と共に積層構造の表面が平坦化された層間絶縁膜(7)を構成するにも拘らず、後工程のエッチング工程にあっては共通のエッチャントの使用が可能なることから当該エッチング工程では当該層間絶縁膜(7)は一層構造として取り扱われ作業性の低下を何ら招くに至らない。

第5図の工程終了後、図示していない二層目の配線が、平坦化され断線の危惧が回避された層間絶縁膜(7)上に為され、更なる所定の工程を経て多層配線構造の半導体装置が完成する。

(ト) 発明の効果

本発明製造方法は以上の説明から明らかなように、シリケートガラス層と導電層との間にシリコンオキシナイトライド層を設けることによって、平坦化のための酸化性雰囲気中での熱処理の際、上記シリコンオキシナイトライド層は下層の導電層への酸素の拡散を阻止する拡散阻止層として作用すると共に、シリケートガラスと共通のエッチャントによりエッチングレートを大きく異ならしめることなくエッチングされるので、下層の導電層表面の酸化による当該導電層の寸法減少、即ち抵抗値の増大や、後工程である層間絶縁膜のエッチング工程の作業性の低下等を招くことなく当該層間絶縁膜の平坦化を達成することができる。

4. 図面の簡単な説明

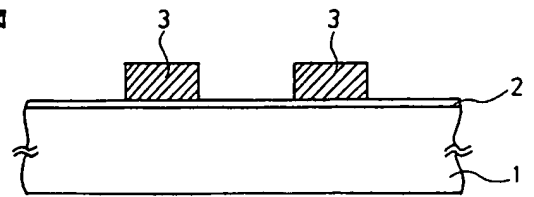
第 1 図乃至第 5 図は本発明製造方法を工程別に示す断面図、第 6 図及び第 7 図は従来方法を説明するための断面図、第 8 図は更に他の従来方法を説明するための断面図である。

(1)…半導体基板、 (3)…導電層、 (5)…シリコンオキシナイトライド層、 (6)…シリケートガラス層、 (7)…層間絶縁膜。

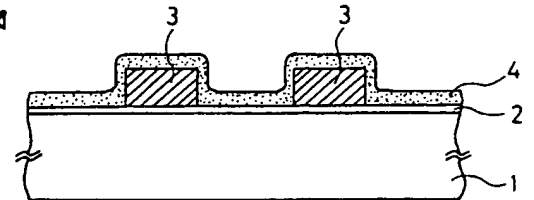
出願人 三洋電機株式会社

代理人 弁護士 西野 卓 嗣 外1名

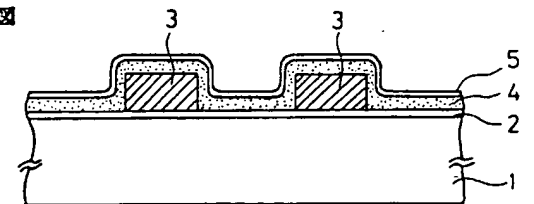
第 1 圖



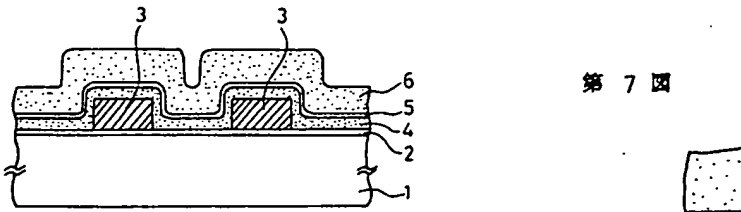
第 2 図



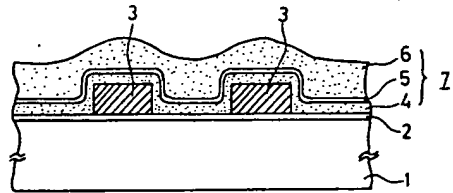
第 3 圖



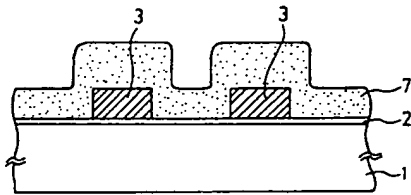
第4図



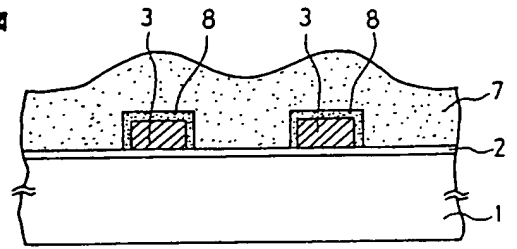
第5図



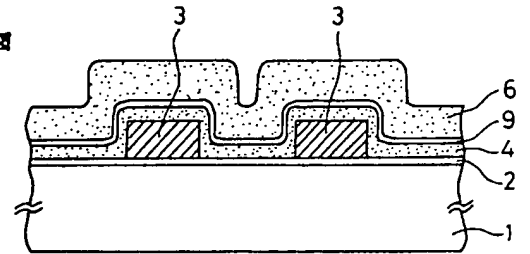
第6図



第7図



第8図



[Translation]

(19) Japan Patent Office (JP)

(12) **Patent Release (A)**

(11) Patent Application Release

Sho.64(1989)-47055

(43) Release Date: Feb. 21,

1989

(51) Int.Cl.
H 01 L 21/90
21/95

Identification No.

Agency Control No.

R-6708-5F

6708-5F

Examination Request: Not yet requested
Number of Inventions: 1 (Total 5 pages)

(54) Name of Invention: Method of Manufacturing
Semiconductor Device

(21) Patent Application: Sho.62(1987)-204354

(22) Application Date: August 18, 1987

(72) Inventor: Tadashi Horii
c/o Sanyo Electric Co., Ltd.
#18 Keihan Hondori 2-chome
Moriguchi-shi, Osaka [Japan]

(71) Applicant: Sanyo Electric Co., Ltd.
#18 Keihan-Hondori 2-chome
Moriguchi-shi, Osaka [Japan]

(74) Agent: Takushi Nishino, Patent attorney
and one other

SPECIFICATIONS

1. Name of Invention: Method of Manufacturing
Semiconductor
Device

2. Scope of Patent Application

(1) A method of manufacturing a semiconductor device
which is characterized by including a process to flatten

the surface by coating with silicate glass one surface of a conductive layer emplaced on a surface of a semiconductor substrate and heat-treating said silicate glass layer in an oxidizing atmosphere to install a layer of silicon oxynitride between the above-noted silicate glass layer and the conductive layer.

(2) A method of manufacturing the semiconductor device described in Item 1 of Scope of Patent Application, which is characterized by the above-noted silicate glass being a phospho-silicate glass.

(3) A method of manufacturing the semiconductor device described in Item 1 of Scope of Patent Application, which is characterized by the above-noted silicate glass including a phospho-silicate glass that contains boron.

(4) A method of manufacturing the semiconductor device described in Items 1 through 3 of Scope of Patent Application, which is characterized by the refractive index of the above silicon oxynitride layer being about 1.67 to 1.87.

3. Detailed Explanation of Invention

(a) Field for Commercial Utilization: This invention relates to a method of manufacturing a semiconductor device which has a surface-flattening process by heat treatment in an oxidizing atmosphere.

(b) Usual Technology: With the increase in density of semiconductor devices, the structure of their wiring has changed from single-layer wiring to multilayer wiring. The problem in forming multilayered wiring structures is how to form the interlayer dielectric film installed between the first and second wiring layers. I.e., if one proceeds to deposit the interlayer dielectric film on the step of the first layer part with the wiring and the part without the wiring, it will cause the defect that when the wiring material of the second layer is formed the wiring of that second-layer wiring will break at that stepped part.

Hence, one needs to have an interlayer dielectric material that not only has good dielectric properties but also, in light of the above-noted step, good flattening properties.

According to the previous techniques indicated on pp. 71~86 of the September 1985 issue of *Nikkei Microdevice*, phospho-silicate glass (hereafter abbreviated to PSG) or PSG

containing boron (boro-phospho-silicate glass, hereafter abbreviated to BPSG) is used for the above-noted interlayer dielectric material and is made to reflow once the film is applied, thus flattening the surface.

Figures 6 and 7 are generalized diagrams illustrating flattening by reflow of such PSG and BPSG. Figure 6 shows the situation before reflow; Figure 7 shows the situation afterward. In Figure 6's reflow situation, conductive layers (3)(3) are installed to take the first layer's wiring, etc., of polysilicon (hereafter abbreviated to pSi), tungsten silicide (WSi_2)* or the like, with surface insulating film (2) of silicon oxide film or the like covering one surface of semiconductor substrate (1) of silicon or the like. One surface of semiconductor substrate (1) including the surface of these conductive layers (3)(3) is covered by interlayer dielectric film (7) consisting of silicate glass, such as the above-noted PSG, BPSG or the like.

Next, reflow is done on above-noted interlayer dielectric film (7), moderating and flattening the step of the exposed surface caused by underlying conductive layers (3)(3), as in Figure 7. Due to such things as its getting bigger, such a reflow of interlayer dielectric film (7) is done in an oxidizing atmosphere of oxygen gas alone or mixed oxygen and hydrogen for heat treatment at some 600~1000°C or more.

While interlayer dielectric film (7) of silicate glass can easily have its surface flattened by the above-described heat treatment in an oxidizing atmosphere, that generates such new problems as reductions in conductive layer (3)(3) thickness, width, etc., and increases in wiring resistance because of oxygen diffusing with the heat treatment in such an oxidizing atmosphere, oxidizing the surface of conductive layer (3)(3) below and forming dielectric layer (8)(8).

In light of such problems, this inventor devised the method shown in Figure 8: prior to reflow by heat treatment in an oxidizing atmosphere, installing non-monocrystalline silicon layer (9) formed by such things as polysilicon or non-crystalline silicon to enclose silicon oxide layer (4) between conductive layers (3)(3) and silicate glass layer (6) so that, when heat treating to flatten, the non-monocrystalline silicon layer (9) will consume by oxidation the oxygen diffusing into silicate glass layer (6) and prevent

its reaching underlying conductive layers (3)(3). The patent on this was applied for on August 6, 1987.

Still, although above-noted non-monocrystalline silicon layer (9) works effectively as a blocking layer against oxygen diffusion, if such oxidation into the film is stopped at midpoint by non-monocrystalline silicon layer (9)'s oxygen consumption so that not all is replaced by silicon oxides, some of non-monocrystalline layer (9) will remain in the film. Then in later processing when doing lithography

*[Translator's note: Subscript valences in this text often were unclear and so may have been read incorrectly.]

to form a contact with semiconductor substrate (1) one will have to do multiple etchings with differing etchants. I.e., if oxidation of non-monocrystalline layer (9) ends midway, conductive layers (3)(3) will have reduced operability in the above-noted later processing by becoming an interlayer dielectric film made up of four layers--non-monocrystalline silicon layer (9), the silicon oxide layer from the substitution and silicate glass layer (6), or a laminate of three layers when seen from the aspect of the etchant.

Hence, oxidation of non-monocrystalline silicon layer (9) must effect a complete substitution of oxides of non-monocrystalline silicon layer (9) while blocking oxygen diffusion into underlying conductive layers (3)(3), requiring strict manufacturing conditions.

(c) Problems the Invention Seeks to Resolve

This invention seeks to resolve the problems that if one uses only silicate glass, whose surface readily flattens as an interlayer dielectric film, but lets the underlying conductive layer surface to be oxidized in creating the insulative layer, that invites such things as increased wiring resistance due to size reductions in this conductive layer, and also demands strict manufacturing conditions in positioning a non-monocrystalline silicon layer between the conductive layer and the silicate glass to block oxidation of the above-noted conductive layer surface.

(d) Means to Resolve Problems

To resolve the above problems, this invention is characterized by including a process to cover with a silicate glass layer the surface of a conductive layer positioned on one surface of a semiconductor substrate and to heat treat that silicate glass layer in an oxidizing atmosphere so as to flatten its surface, and to emplace a silicon oxynitride layer between the above-noted silicate glass layer and the conductive layer.

(e) Effects

As described above, by placing a silicon oxynitride layer between the silicate glass layer and the conductive layer, this silicon oxynitride layer will function as a diffusion-blocking layer that keeps oxygen from diffusing into the underlying conductive layer during heat treatment in an oxidizing atmosphere for flattening. Also, it can be etched by the same etchant as the silicate glass because its etching rate does not greatly differ from that of the silicate glass.

(f) Application Example

Below, I will describe in detail the manufacturing method of this invention's semiconductor device, based upon the application example illustrated in Figures 1 through 5.

First, in the Figure 1 process, 100D-thick surface-insulating film (2) of silicon oxide is installed on the surface of semiconductor substrate (1) of, e.g., silicon already having the prescribed doping by determined impurities of a conductive type. Then, one selectively forms conductive layers (3)(3) of such material as p-Si or WSi₂ to handle such things as the first-layer wiring.

In the Figure 2 process, silicon oxide layer (4) is formed on one surface of semiconductor substrate (1) and the surfaces of above-noted conductive layers (3)(3). This silicon oxide layer (4) is laminated by well-known low-pressure CVD to a thickness of 2000D at about 600EC.

In the Figure 3 process, silicon oxynitride layer (5) is formed 1000~1500D thick to cover the surface of silicon oxide layer (4). This silicon oxynitride layer (5) is derived by low-pressure CVD at a substrate temperature of some 700EC with starting materials, for instance, of .

$\text{SiH}_4\text{CL}_8 + \text{N}_3\text{O} + \text{NH}_4 + \text{N}_2$ gas.

In the Figure 4 process, PSG, BPSG or similar silicate glass is formed about 6000~10,000Å thick to cover the surface of silicon oxynitride layer (5). When it is PSG, for instance, this silicate glass layer (6) is derived by normal-pressure CVD at a substrate temperature of about 450°C with mixed gases of SiH_4 and oxygen added to PH_3 gas. Also, when it is BPSG, it is formed under like conditions, but B_2H_6 gas is added to the starting material. This silicate glass layer (6) of PSG or BPSG may be formed by methods other than the above-noted ordinary-pressure CVD.

The surface of silicate glass layer (6) thus obtained is much affected by the presence of underlying conductive layers (3)(3) in that they have a large step.

In the Figure 5 process, the laminate of silicon oxide layer (4) covering conductive films (3)(3)'s surface, silicon oxynitride layer (5) and silicate glass layer (6) are kept for about 30 minutes at about 800~1000°C in an oxidizing atmosphere consisting of oxygen gas alone or a mixture of oxygen and hydrogen gases. In this heat-processing, silicate glass layer (6) becomes fluid and reflows, as a result of which the large surface step becomes ameliorated and the surface flattened. So, the "flattening" mentioned in this invention does not mean forming a totally flat surface, but means it has become closer to a flat surface compared to its condition before the treatment (processing).

Now, what must be noted in this flattening process is that, instead of the usual non-monocrystalline silicon layer (9), silicon oxynitride layer (5) has been interposed between conductive layers (3)(3)--the cause of the under layer stepping--and silicate glass layer (6) which is being reflowed. I.e., in the usual method, which lacks both non-monocrystalline layer (9) and silicon oxynitride layer (5), doing the heat treatment in an oxidizing atmosphere for the flattening process shifts and diffuses the gas through interlayer dielectric film (7) which, as shown in Figure 7, consists of silicate glass. That oxidizes the surface of substances such as P-Si, WSi_3 and conductive layers (3)(3), making them dielectric.

In particular, it helps the manufacturing process when

interlayer dielectric film (7) consists of BPSG and some hydrogen gas is included in the mainly oxygen oxidizing atmosphere, making a low-temperature reflow possible. On the other hand, the hydrogen gas plays a catalytic role in oxidizing conductive layers (3)(3), inducing much oxidation.

Also, in the Figure 8 method, whereby non-monocrystalline silicon layer (9) was laid on, one had to set up strict manufacturing conditions to completely substitute the silicon oxides of that non-monocrystalline silicon layer (9) while preventing oxidation of the surface of conductive layers (3)(3) as described above.

By contrast, in the Figure 5 application example of this invention, silicon oxynitride layer (5) is used in lieu of above-noted non-monocrystalline silicon layer (9) and not only keeps the diffused oxygen from being used up, as with non-monocrystalline silicon layer (9), but also--due to its nitride content--blocks and operates as a diffusion wall. And, this silicon oxynitride has an etching rate close to that of silicon oxides and so can use the same etchant.

Specifically, the etching rate of silicate glass and silicon dioxides with dilute fluoric acid (HF) as the etchant is about 200~300D/min, and that for silicon oxynitride under the same conditions, with a refractive index of 1.67~1.87, is about 200D/min. So, even though made up with silicate glass layer (6) or silicon oxide layer (4), with the surface of the laminated structure a flattened interlayer dielectric film (7), silicon oxynitride layer (5) makes it possible to use a common etchant in the later etching process and so brings about no drop in operability.

After completion of Figure 5's process, second layer wiring (not shown in the figure) is added on flattened interlayer dielectric film (7) with no risk of breakage; and after repeating the prescribed processes, the semiconductor device is completed with a multi-layered wiring structure.

(g) Effectiveness of Invention

The manufacturing method of this invention, as is clear from the foregoing explanation, replaces a silicon oxynitride layer between a silicate glass layer and conductive layers, so that when heat processing to do the

flattening in an oxidizing atmosphere, the above-noted silicon oxynitride layer both serves as a blocking layer to prevent oxygen diffusion into the conductive layer and can be etched by the same etchant as the silicate glass, since their etching rates do not greatly differ. Thus, it helps to achieve flattening of the interlayer dielectric film without incurring a reduction in the size of the conductive layer or increases in resistance from oxidation of the underlying conductive layer surfaces, thus achieving flattening of said interlayer dielectric film without inviting lessened operability in the later interlayer-film etching process.

4. Simple Explanation of Figures

Figures 1 through 5 are cross-sectional diagrams showing each process in this invention's manufacturing method. Figures 6 and 7 are cross-sectional diagrams illustrating the usual method. Figure 8 is a cross-sectional diagram explaining still another usual method.

[Keying Symbols]

- (1) ... Semiconductor substrate
- (2) ... Surface-insulating film
- (3) ... Conductive layer
- (4) ... Silicon dioxide film
- (5) ... Silicon oxynitride layer
- (6) ... Silicate glass layer
- (7), (8) Interlayer dielectric film
- (9) ... Non-monocrystalline silicon layer

Applicant: Sanyo Electric Co., Ltd.

Agent: Takushi Nishino, patent attorney & one other